

Périphérique Timer 64 Bit

Interface

Décrite par l'entité timer64bits (fichier timer64bits.vhd) . Ce périphérique peut facilement être intégré à un système NIOS Altera ou Xilinx Microblaze ou PowerPC.

Programmation

Il y a trois registres internes:

- ✓ Registre de commande : 2 bits à écriture seule. Le bit(0) permet de demander une capture du Timer, tandis que le bit(1) permet de remettre à zéro le timer.
- ✓ Registre de capture 32 bits des poids forts: adresse 0, lecture seule
- ✓ Registre de capture 32 bits des poids faibles: adresse 1, lecture seule

Donc , la programmation est minimale. Le timer compte toujours, on écrit 1 dans le registre de commande. A ce moment là, la valeur de capture est mémorisée. La valeur pourra être obtenue par deux lectures successives du contenu 32 bits des adresses 0 et 1.

La possibilité de remettre à zéro le timer ne semble pas nécessaire mais évite si elle est utilisée d'avoir à gérer un problème théorique de débordement à $2^{64} * \text{periode_horloge}$ (ce qui n'arrivera pas !)

Test

Le test en vraie grandeur ne pouvant être effectué car $2^{64} = 18446744073709552000$ ce qui représente des années d'attente avec une horloge à 100 Mhz, une première simulation a permis par des initialisations proches du débordement du coeur du compteur de vérifier que les différents reports (31, 62, 64 bits) s'effectuaient correctement.

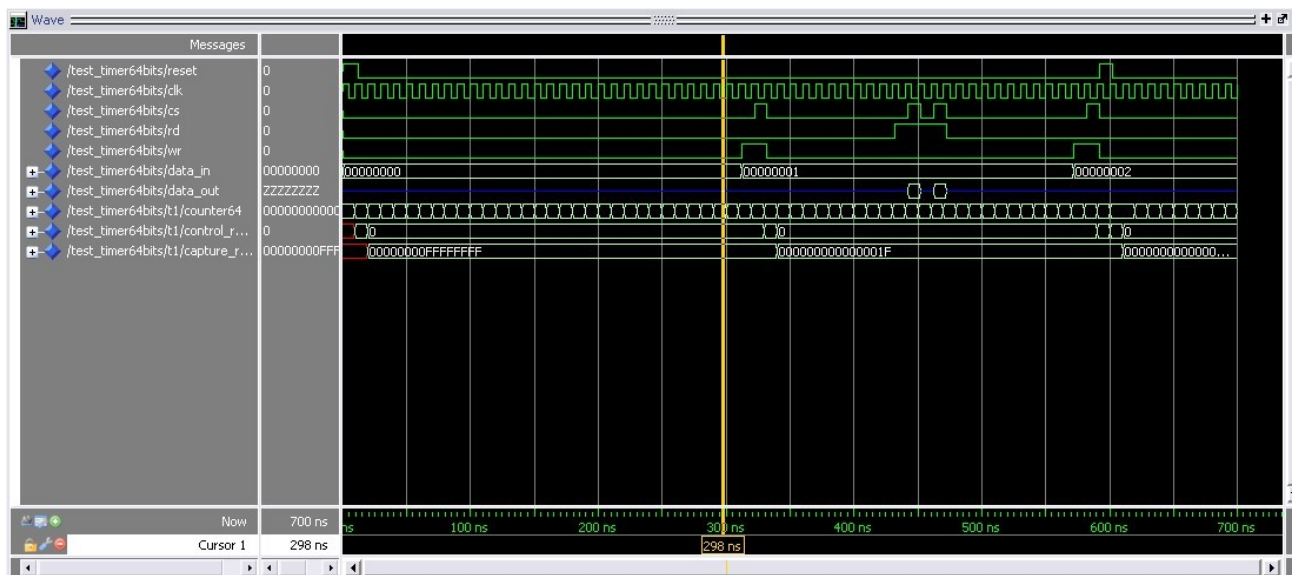
Le cœur du Timer testé, il ne reste plus qu'à fournir une séquence de fonctionnement typique. C'est ce qui est décrit dans le fichier test_compteur64bits.vhd.

Simulation

Le fichier simu/simu.do permet de tester différentes initialisations du compteur interne.

Le fichier de commande Modelsim simu2.do montre la séquence complète.

Le résultat est fourni par l'image ci dessous et correspond à l'exécution du fichier simu2.do dans Modelsim.



Organisation

